

# PATENT COOPERATION TREATY

# PCT

## INTERNATIONAL PRELIMINARY EXAMINATION REPORT (PCT Article 36 and Rule 70)

REC'D 30 SEP 2005

WIPO

PCT

Applicant's or agent's file reference <b>P 03 036 WO</b>	<b>FOR FURTHER ACTION</b> See Notification of Transmittal of International Preliminary Examination Report (Form PCT/PEA/416)	
International application No. <b>PCT/DK 03/00447</b>	International filing date (day/month/year) <b>27.06.2003</b>	Priority date (day/month/year) <b>27.06.2003</b>
International Patent Classification (IPC) or both national classification and IPC <b>H03H11/12</b>		
Applicant <b>TC ELECTRONIC A/S et al,</b>		


1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.
2. This REPORT consists of a total of 5 sheets, including this cover sheet.
 

☒ This report is also accompanied by ANNEXES, i.e. sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).

These annexes consist of a total of 5 sheets.

3. This report contains indications relating to the following items:

- I ☒ Basis of the opinion
- II ☐ Priority
- III ☐ Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV ☐ Lack of unity of invention
- V ☒ Reasoned statement under Rule 66.2(a)(ii) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI ☐ Certain documents cited
- VII ☐ Certain defects in the international application
- VIII ☐ Certain observations on the international application

Date of submission of the demand  <b>25.01.2005</b>	Date of completion of this report  <b>29.09.2005</b>
Name and mailing address of the international preliminary examining authority:   <b>European Patent Office</b> D-80298 Munich Tel. +49 89 2399 - 0 Tx: 523656 epmu d Fax: +49 89 2399 - 4465	Authorized Officer  <b>Trafidlo, R</b>  Telephone No. +49 89 2399-2672



**INTERNATIONAL PRELIMINARY  
EXAMINATION REPORT**

International application No. PCT/DK 03/00447

**I. Basis of the report**

1. With regard to the **elements** of the international application (*Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rules 70.16 and 70.17)*):

**Description, Pages**

1-48 as originally filed

**Claims, Numbers**

1-51 as originally filed

**Drawings, Sheets**

1/17-17/17 as originally filed

2. With regard to the **language**, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language: , which is:

- ☐ the language of a translation furnished for the purposes of the international search (under Rule 23.1(b));
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of a translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any **nucleotide and/or amino acid sequence** disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. The amendments have resulted in the cancellation of:

- ☐ the description, pages:
- ☐ the claims, Nos.:
- ☐ the drawings, sheets:

**INTERNATIONAL PRELIMINARY  
EXAMINATION REPORT**

International application No. PCT/DK 03/00447

---

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed (Rule 70.2(c)).

*(Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.)*

6. Additional observations, if necessary:

**V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement**

1. Statement

Novelty (N)	Yes: Claims	1-51
	No: Claims	
Inventive step (IS)	Yes: Claims	1-51
	No: Claims	
Industrial applicability (IA)	Yes: Claims	1-51
	No: Claims	

2. Citations and explanations

**see separate sheet**

**Re Item V**

**Reasoned statement with regard to novelty, inventive step or industrial applicability;  
citations and explanations supporting such statement**

1. Reference is made to the following document:

D5: PATENT ABSTRACTS OF JAPAN vol. 005, no. 095 (E-062), 20 June 1981  
(1981-06-20) & JP 56 039606 A (MATSUSHITA ELECTRIC IND CO LTD), 15  
April 1981 (1981-04-15)

The document D5 was not cited in the international search report. A copy of the document is appended hereto.

2. Document D5, which is considered to represent the most relevant state of the art, discloses (cf. D5: abstract):

A self-oscillating circuit comprising comparator means (2) comprising at least one input means and at least one output means,  
at least one of said at least one output means is coupled to at least one of said one input means via at least one filtering means (4, 5, 6, 7),  
said at least one filtering means (4, 5, 6, 7) at least partly comprising demodulation means.

from which the subject-matter of claim 1 differs in that:

The filtering means is of at least fifth order.

The filtering means (4, 5, 6, 7) disclosed in D5 is of third order.

The subject-matter of claim 1 is therefore new (Article 33(2) PCT).

The problem to be solved by the present invention may be regarded as improving a self-oscillating circuit in order to reduce noise and to broaden the utility bandwidth.

The solution to this problem proposed in claim 1 of the present application is considered

**INTERNATIONAL PRELIMINARY  
EXAMINATION REPORT - SEPARATE SHEET**

---

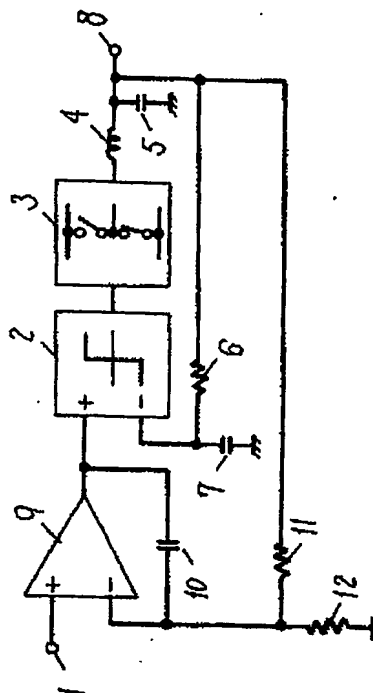
International application No. PCT/DK 03/00447

as involving an inventive step (Article 33(3) PCT) for the following reasons:  
none of the available prior art documents disclose or suggest coupling the output of the comparator in a self-oscillating circuit back to its input with a filtering means of at least fifth order or describe a method of implementing such a circuit. Simply increasing an order of the filter from three to five or more is not trivial in self-oscillating circuits of the type disclosed in the current application, since an insertion of additional poles in such a circuit has strong and difficult to predict influence on circuit parameters like phase shift, gain or switching frequency. The current application proposes a method of inserting additional poles in a self-oscillating circuit while staying in control of the above mentioned parameters.

3. Claims 2 - 51 are dependent on claim 1 and as such also meet the requirements of the PCT with respect to novelty and inventive step.

## Patent Abstracts of Japan

TITLE : SELF-EXCITED TYPE D-CLASS  
AMPLIFIER



**CONSTITUTION:** By way of the integrating circuit consisting of operational amplifier 9 and capacitor 10, an input signal from input terminal 1 is sent to comparator 2, the output of which is supplied to LPF consisting of coil 4 and capacitor 5 through switching circuit 3. Then, its output is fed back to the other-side input of comparator 2 by way of the 1st feedback circuits 6 and 7 composed of resistor 6 and capacitor 7 and also to integrators 9 and 10 by way of the 2nd feedback circuit composed of resistors 11 and 12. Consequently, frequency response characteristics are flat in the low-frequency range and rise suddenly nearly at the oscillation frequency to make oscillation conditions unchangeable according to the load state, so that an influence of fluctuations of the electric power source voltage can be suppressed.

COPYRIGHT: (C)1981,JPO&Japio

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56-39606

⑬ Int. Cl.<sup>3</sup>  
H 03 F 3/217  
1/30

識別記号

庁内整理番号  
7827-5 J  
7827-5 J

⑭ 公開 昭和56年(1981)4月15日

発明の数 2  
審査請求 未請求

(全 5 頁)

⑮ 自動式D級増幅器

門真市大字門真1006番地松下電  
器産業株式会社内

⑯ 特 願 昭54-115511  
⑰ 出 願 昭54(1979)9月7日  
⑱ 発 明 者 佐野信哉

⑲ 出 願 人 松下電器産業株式会社  
門真市大字門真1006番地  
⑳ 代 理 人 弁理士 中尾敏男 外1名

明 細 書

1. 発明の名称

自動式D級増幅器

2. 特許請求の範囲

(1) 積分回路と、上記積分回路出力を入力とする比較器と、上記比較器出力で駆動されるスイッチング回路と、上記スイッチング回路の出力側に接続された、インダクタを含むローパスフィルタとで構成され、上記ローパスフィルタ出力から、上記比較器入力へ第1の帰還回路を介して帰還を掛けると共に、上記ローパスフィルタ出力から、上記積分回路入力へ第2の帰還回路を介して帰還を掛けたことを特徴とする、自動式D級増幅器。

(2) 特許請求の範囲第1項において、主として第1の帰還回路によって発振周波数を決定し、主として第2の帰還回路によって周波数特性を決定するようにしたことを特徴とする自動式D級増幅器。

(3) 特許請求の範囲第1項において、ローパスフィルタが、1個のインダクタと1個のコンデンサとで構成され、さらに、第1の帰還回路が、少く

とも1個の極を持つ遅延回路を含むことを特徴とする自動式D級増幅器。

(4) 特許請求の範囲第1項において、積分回路の出力振幅の制限により、発振周波数の変動が制限されるようにしたことを特徴とする自動式D級増幅器。

(5) 積分回路と、上記積分回路出力を入力とする比較器と、上記比較器出力で駆動されるスイッチング回路と、上記スイッチング回路の出力側に接続されたインダクタを含むローパスフィルタとで構成され、上記スイッチング回路出力から第1の帰還回路を介して上記比較器入力へ帰還を掛けると共に、上記ローパスフィルタ出力から、上記積分回路入力へ第2の帰還回路を介して帰還を掛けたことを特徴とする自動式D級増幅器。

(6) 特許請求の範囲第5項において、第1の帰還回路が、少くとも3個の極を持つ遅延回路で構成されたことを特徴とする自動式D級増幅器。

(7) 特許請求の範囲第6項において、主として第1の帰還回路によって発振周波数を決定し、主と

しており、9、10は積分器を構成する演算増幅器およびコンデンサ、11、12は全体の帰還回路を構成する抵抗である。

第4図において、1～7の部分は第1図と全く同じものである。そしてこの部分の周波数特性は、第5図gに示すように、低域では平坦で、発振周波数付近で急激に立上るような特性になる。

また、積分回路9、10と帰還回路11、12を含めた周波数特性は、第5図hのようになる。

したがって、第4図の実施例のオープンループの周波数特性は、第5図iに示すようになる。この特性iは、利得が1となる周波数 $f_1$ 付近の傾斜が $-20\text{ dB/oct}$ となっているため、クロズドループにした場合、非常に安定に帰還を掛けることができる。

第5図からもわかるように、第4図の実施例では、低域で大量の帰還を掛けることができるため、特に低い周波数成分を多く含む電源電圧の変動による影響を十分に抑えることができる。さらに、大量の帰還によって、2～7の部分で発生する歪

み成分についても、十分抑えることができるという効果がある。

ところで、ローパスフィルタ4、5の位相特性は、第2図a、bに示すように、負荷の有無によって大きく変化する。特に負荷が開放になっている場合の位相特性bは、 $-180^\circ$ のラインに対し広い周波数に亘って振るような形になっているため、発振周波数 $f_0$ が決まりにくく、非常に不安定になるという問題があった。これは第4図の実施例の場合でも同様である。

そこで、発振周波数を決める帰還系路と、全体の周波数特性を決める帰還系路とを分離することにより、負荷状態によって発振条件が変動しないようにした。本発明の第2の実施例を第6図に示す。

第6図において、1～12は第4図の同番号のものに対応しており、13はコンデンサ10と共に積分回路のゼロ点を与える抵抗、14～19は遅延回路を構成する抵抗およびコンデンサである。

第6図の実施例に示すように、遅延回路14～

19が3個以上のポールを含んでおれば、第7図jに示すように必ず位相が $-180^\circ$ となる周波数 $f_0$ が存在し、その周波数で発振する。そして、その発振条件を決める遅延回路は、ローパスフィルタ4、5を含んでいないため、負荷の有無によって影響を受けることがなく、常に安定した発振を行うことができる。

第6図の実施例において、遅延回路14～19の中の一つのポールの周波数、および積分回路9、10、13のゼロ点の周波数を、ローパスフィルタ4、5のカットオフ周波数 $f_1$ 付近に設定すると、まず遅延回路14～19で帰還を掛けられた状態での比較器2の入力からスイッチング回路3の出力までの周波数特性は第8図kのようになり、ローパスフィルタ4、5の周波数特性は第8図lのようになり、帰還回路11、12を含めた積分器9、10、13の周波数特性は第8図mのようになる。したがって、k、l、mを含めた全体のオープンループの周波数特性は、第8図nのようになり、第5図の特性iと同様に、オープンループの利得

が1となる周波数 $f_1$ 付近での傾斜が $-20\text{ dB/oct}$ となっているため、非常に安定な帰還が得られると共に、低域では十分な帰還量が得られる。

第6図の実施例では、抵抗13によって特性mのゼロ点を作っているが、その代りに、抵抗11に並列にコンデンサを入れることによっても同様の効果が得られる。

ところで、自励式D級増幅器の他の問題点として、出力レベルの変化によって、方形波のデューティサイクルが変化すると共に、周波数が変化してしまうということがあげられる。特に、出力レベルが大きくなるに従って、発振周波数は限りなく低くなり、ピークにおいては、発振周波数がゼロにまで下ってしまう。そのため、出力レベルの大きな所では、発振周波数が信号周波数帯域にまで入り込み、ローパスフィルタ4、5で抑えることができなくなって出力に現れて来たり、また発振条件がくずれて、不安定になったりするという問題があった。

この問題を解決するためには、第4図または第



特開昭56- 39606(4)

4, 5 ..... ローパスフィルタ、6, 7 ..... 第1の帯域回路、9, 10, 13 ..... 積分回路、11, 12 ..... 第2の帯域回路、14 ~ 19 ..... 第1の帯域回路。

代理人の氏名、弁護士 中 尾 敏 男 様か1名

8図の実施例において、積分回路9の出力振幅を、それに対する共振周波数が、信号周波数帯域の上限または安定な共振が得られる下限周波数等によって決まる周波数以上になるように制限すれば良い。この制限方法は、積分回路の電源電圧によって自然に制限されることを利用しても良いし、他のクランプ手段を設けても良い。

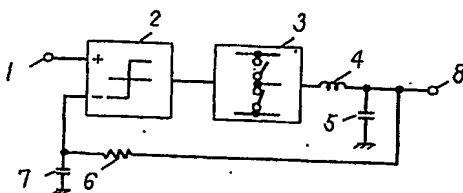
以上のように、本発明によれば、自動式D級増幅器において大量の負荷遷を安定に掛けることができ、その結果、電源電圧の変動による影響を抑圧し、歪特性および周波数特性を改善すると共に、負荷条件や出力レベルによる共振周波数の変動を抑えることができる。

#### 4. 図面の簡単な説明

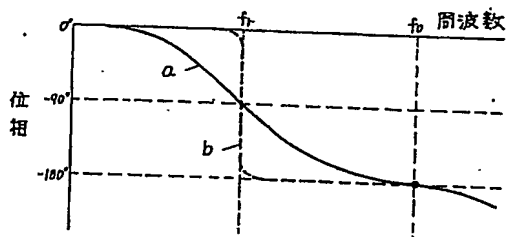
第1図は従来例の回路図、第2図、第3図は第1図の動作説明図、第4図は本発明の第1の実施例の回路図、第5図は第4図の動作説明図、第6図は本発明の第2の実施例の回路図、第7図、第8図は第6図の動作説明図である。

2 ..... 比較器、3 ..... スイッチング回路、

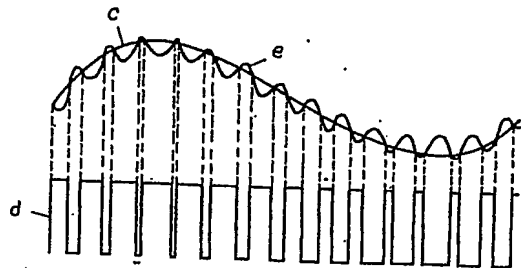
第 1 図



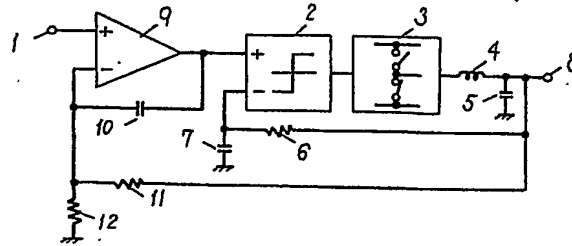
第 2 図



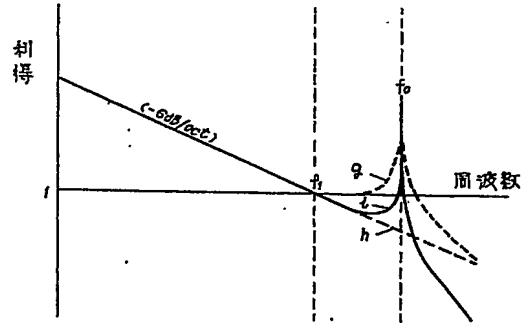
第 3 図



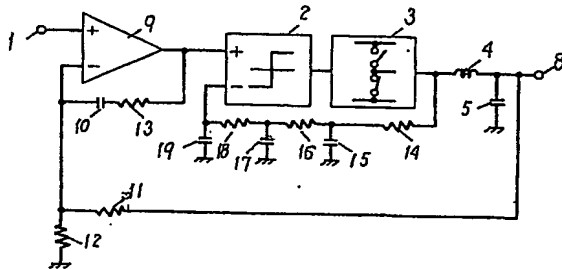
第 4 図



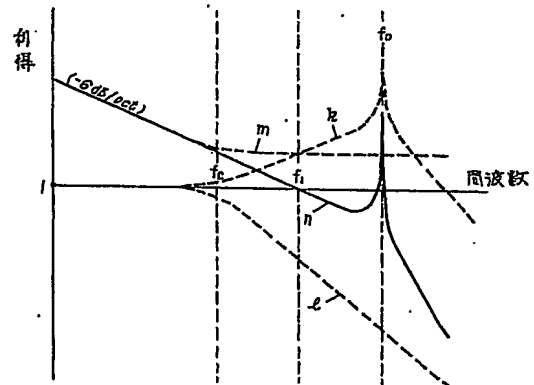
第 5 図



第 6 図



第 8 図



第 7 図

